

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08186484 A

(43) Date of publication of application: 16.07.96

(51) Int. Cl

H03K 17/22

H03K 17/14

H03K 17/24

(21) Application number: 06327472

(71) Applicant: NEC IC MICROCOMPUT SYST LTD

(22) Date of filing: 28.12.94

(72) Inventor: HAYASHIMOTO HAJIME

(54) POWER-ON RESET CIRCUIT

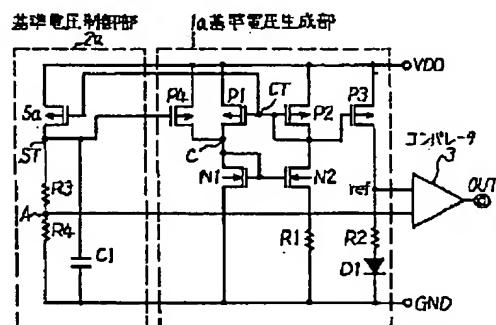
(57) Abstract:

PURPOSE: To provide the power-on reset circuit where the variance of a detection voltage (reset signal) is small and the detection voltage is not dependent upon the temperature change.

CONSTITUTION: This system is provided with a start-up function which shortens the time required to enter into the active state after the supply start of a supply voltage VDD, a reference voltage generation part 1a which generates a control voltage VCT to be outputted in the active state and generates a prescribed reference voltage Vref in response to this control voltage, a control voltage VST which is supplied to the start-up function so as to forcibly set the reference voltage generation part 1a to the active state simultaneously with the supply start of the supply voltage VDD, and a reference voltage control part 2a which outputs a comparison voltage Va obtained by dividing the supply voltage VDD at a prescribed ratio in response to the voltage VCT. Since the reset signal for power-on and power fall is obtained from the comparison result between the reference voltage Vref and the comparison

voltage Va, the power-on reset circuit of high reliability is incorporated in a semiconductor device.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-186484

(43)公開日 平成8年(1996)7月16日

(51) Int.Cl.⁶
H 03 K 17/22
17/14
17/24

識別記号 E 9184-5K
9184-5K
9184-5K

F I

技術表示箇所

審査請求 有 請求項の数 8 O.L (全 9 頁)

(21)出願番号 特願平6-327472

(22)出願日 平成6年(1994)12月28日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 林本 肇

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株式会社内

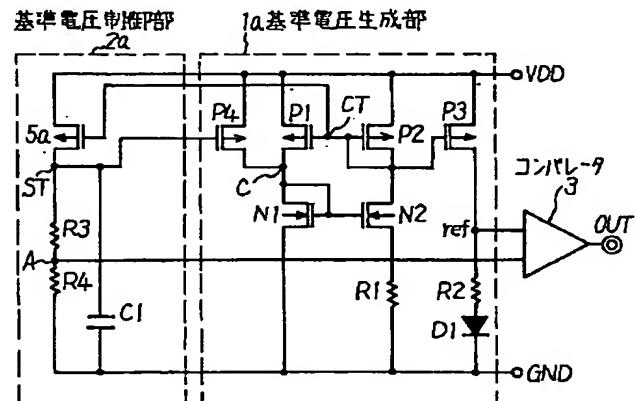
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 パワーオン・リセット回路

(57)【要約】

【目的】検出電圧(リセット信号)のバラツキが小さく、かつ検出電圧が温度変化に依存しないパワーオン・リセット回路を提供する。

【構成】電源電圧VDD供給開始後から能動状態になるまでの時間を短縮するスタートアップ機能と、能動状態のときに outputする制御電圧VCTおよびこの電圧に応答して所定の基準電圧Vrefを生成する基準電圧生成部1aと、電源電圧VDD供給開始と同時に基準電圧生成部1aを強制的に能動状態にさせるようにスタートアップ機能に供給する制御電圧VSTと電圧VCTとに応答して電源電圧VDDを所定の比率で分圧した比較電圧Vaとをそれぞれ出力する基準電圧制御部2aとを有し、基準電圧Vrefおよび比較電圧Vaの比較結果から電源投入時および電源降下時のリセット信号を得るようになので、信頼性の高いパワーオン・リセット回路を半導体装置に内蔵できる。



【特許請求の範囲】

【請求項 1】 半導体装置の電源電圧供給開始時および電源電圧降下時にリセット信号を発生して内部回路を初期化するパワーオン・リセット回路において、電源電圧供給開始後から能動状態になるまでの時間を短縮するスタートアップ手段を有するとともに能動状態になると第1の制御電圧を出力しあつこの電圧に応答して所定の基準電圧を生成する基準電圧生成手段と、電源電圧供給開始と同時に前記スタートアップ手段に供給されて前記基準電圧生成手段を強制的に能動状態にする第2制御電圧と前記第1制御電圧に応答して電源電圧を所定の比率で分圧した第1比較電圧とをそれぞれ出力する第1の基準電圧制御手段とを備え、前記基準電圧および前記比較電圧を比較手段により比較しその比較結果を前記リセット信号として出力することを特徴とするパワーオン・リセット回路。

【請求項 2】 前記第1の基準電圧制御手段に代えて前記第1比較電圧よりも高電圧の第2比較電圧をさらに備えた第2の比較電圧制御手段を備え、前記基準電圧および前記第1比較電圧の比較結果と前記基準電圧の反転電圧および前記第2比較電圧の比較結果との論理和結果を前記リセット信号として出力することを特徴とする請求項1記載のパワーオン・リセット回路。

【請求項 3】 電源電圧供給開始と同時に前記リセット信号が能動状態になり、前記第1比較電圧の比較結果で非能動状態になる請求項2記載のパワーオン・リセット回路。

【請求項 4】 前記第1および前記第2の基準電圧制御手段が、前記第2制御電圧と前記第1および前記第2比較電圧とを生成する手段を共用する請求項1または2記載のパワーオン・リセット回路。

【請求項 5】 前記基準電圧生成手段は、高位側電源電位と低位側電源電位との間に、第1の第1導電型MOSトランジスタおよび第1の第2導電型MOSトランジスタが直列接続で挿入された第1の直列接続回路と第2の第1導電型MOSトランジスタと第2の第2導電型MOSトランジスタと第1の抵抗素子とが直列接続で挿入された第2の直列接続回路とを有し、前記第1の第1導電型MOSトランジスタのゲートと前記第2の第1導電型MOSトランジスタのゲートとドレインとが互に接続されこの接続点を前記第1制御電圧の出力端とし、前記第1の第2導電型MOSトランジスタのゲートとドレインと前記第2の第2導電型MOSトランジスタのゲートとが互に接続されかつ前記第1制御電圧の出力端がゲートに接続される第3の第1導電型MOSトランジスタと第2の抵抗素子とこの抵抗素子側をアノードとする第1ダイオードとが高位側電源電位および低位側電源電位間に直列接続で挿入されこの直列接続点を前記基準電圧の出力端とともに、前記第1の第1導電型MOSトランジスタと並列に第4の第1導電型MOSトランジスタ

が接続されそのゲートに前記第2制御電圧の出力端が接続されてなる前記スタートアップ手段を含んで構成される請求項1または2記載パのワーオン・リセット回路。

【請求項 6】 前記基準電圧生成手段は、前記第1の第2導電型MOSトランジスタおよび前記第1の抵抗素子と低位側電源電位との間に低位側電源電位側をカソードとする第2および第3のダイオードをそれぞれ挿入して構成される請求項5記載のパワーオン・リセット回路。

【請求項 7】 前記第1の基準電圧制御手段は、高位側電源電位と低位側電源電位との間に第5の第1導電型MOSトランジスタと第3および第4の抵抗素子とが直列接続で挿入され前記第5の第1導電型MOSトランジスタのドレインは第1の容量素子を介して低位側電源電位に接続されるとともに前記第2制御電圧の出力端とし、かつ前記第3および第4の抵抗素子の直列接続点を前記第1比較電圧の出力端として構成される請求項1記載のパワーオン・リセット回路。

【請求項 8】 前記第2の基準電圧制御手段は、高位側電源電位と低位側電源電位との間に第6の第1導電型MOSトランジスタと第5、第6および第7の抵抗素子とが直列接続で挿入され前記第6の第1導電型MOSトランジスタのドレインは第2の容量素子を介して低位側電源電位に接続されるとともに前記第1制御電圧の出力端とし、かつ前記第6および第7の抵抗素子の直列接続点を第1比較電圧の出力端とし、前記第5および第6の抵抗素子の直列接続点を第2比較電圧の出力端としてそれぞれ構成される請求項2記載のパワーオン・リセット回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パワーオン・リセット回路に関し、特にCMOS (complementary metal-oxide semiconductor transistor) 型の半導体集積回路に搭載され、この半導体集積回路における電源投入時や電源降下時に、所定のリセット信号を発生するパワーオン・リセット回路に関する。

【0002】

【従来の技術】この種の従来のパワーオン・リセット回路の1例を回路図で示した図7を参照すると、高位側電源電位（以下、電源電位と称す）VDDと低位側電源電位（以下、接地電位と称す）GNDとの間に、ゲートとドレインとが接続された第1導電型MOSトランジスタ（以下、P型MOSトランジスタと称す）P6および抵抗素子R7が直列接続され、この直列接続点をDとする。抵抗素子R7には容量素子C2が並列接続され、直列接続点Dは、電源電位VDDと接地電位GNDとの間に直列接続された抵抗素子R8および第2導電型MOSトランジスタ（以下、N型MOSトランジスタと称す）N3のゲートに接続される。抵抗素子R8には容量素子

C 3 が並列接続され、かつ抵抗素子 R 8 および N 型 MOS ランジスタ N 3 の直列接続点 E はインバータ 6 の入力端に接続されその出力端は出力端子 OUT に接続されて構成されている。

【0003】上述した図 7 に併せてその動作説明用の電圧／時間特性を示した図 8 を参照すると、このパワーオン・リセット回路は、まず、時間 t 0 で電源電位 VDD が供給され、時間の経過とともに電位は時間 t 3 の電源電位 VDD に向って上昇していく。この電位 VDD が P 型 MOS ランジスタ P 6 のしきい値電圧 VTP を越える時間 t 1 になると、P 型 MOS ランジスタ P 6 は、導通（オン）するとともに、接続点 D の電位も上昇はじめ、電源電位 VDD に対し VTP 分低下した電位（VDD - VTP）に達する。

【0004】更に、電源電位 VDD が上昇し、接続点 D の電位が N 型 MOS ランジスタ N 3 のしきい値電圧 VTN を越える時間 t 2 になると、N 型 MOS ランジスタ N 3 がオンし、接続点 E の電位は論理レベルのロウレベルになる。このロウレベルがインバータ 6 で反転されて論理レベルのハイレベルとなり出力端子 OUT に出力される。このロウレベル期間をパワーオン・リセット信号として利用する。

【0005】従来のパワーオン・リセット回路の他の例が特開平 3-206709 号公報に記載されている。同公報記載のパワーオン・リセット回路の回路図を示した図 9 を参照すると、この回路は、比較電圧生成部 7 と基準電圧生成部 9 とこれらの回路の出力電圧を比較する電圧検出部 8 とこの電圧検出部 8 の出力を反転出力する反転增幅部 10 を備え、比較電圧生成部 7 は電源電位 VDD および接地電位 GND 間に抵抗素子 R 9 および容量素子 C 4 が直列接続されており、この直列接続点を比較電圧出力とする。

【0006】一方、基準電圧生成部 9 は電源電位 VDD および接地電位 GND 間に抵抗素子 R 10 およびゲートとドレインとを互に接続する N 型 MOS オランジスタ N 7 が直列接続され、この直列接続点を基準電圧出力端とする。

【0007】電圧検出部 8 は、電源電位 VDD とソースを接地電位にゲートを N 型トランジスタ N 7 のゲートおよびドレインに共通接続する N 型 MOS ランジスタ N 7 のドレインとの間に、P 型 MOS ランジスタ P 7 および N 型 MOS ランジスタ N 4 の直列接続回路と P 型 MOS ランジスタ P 8 および N 型 MOS ランジスタ N 5 の直列接続回路とが互に並列接続状態で挿入され、かつ P 型 MOS ランジスタ P 7 および P 8 のゲートはそれぞれ他方のドレインに接続されるとともに、N 型 MOS ランジスタ N 4 のゲートには比較電圧出力端が、N 型 MOS ランジスタ N 5 のゲートには基準電圧出力端がそれぞれ接続される。さらに P 型 MOS ランジ

タ P 8 にはゲートとドレインを互に接続する P 型 MOS ランジスタ P 9 が並列接続で挿入され、P 型 MOS ランジスタ P 8 のドレインが電圧検出部出力端となる。

【0008】この電圧検出部出力端が反転增幅部 10 の入力端に接続される。反転增幅部 10 は、電源電位 VDD および接地電位 GND 間に直列接続で挿入された P 型 MOS ランジスタ P 10 および N 型 MOS ランジスタ N 8 からなるインバータ 10 のそれぞれのゲートと一端を接地電位 GND に接続する容量素子 C 5 の他端と入力端に共通接続されてなり、インバータの出力端が出力端子 OUT に接続されて構成される。

【0009】上述した構成のパワーオン・リセット回路は、供給された電源電位 VDD が 0V から上昇し始めると、比較電圧出力端および基準電圧出力端の各電位も上昇し、これらの電圧が供給される N 型 MOS ランジスタ N 4 および N 5 のゲートも共に上昇して行く。

【0010】ここで、N 型 MOS ランジスタ N 5 のしきい値電圧 VTN 5 は、N 型 MOS ランジスタ N 4 および N 6 のしきい値電圧よりも低く設定されているため、N 型 MOS ランジスタ N 5 が最初にオンとなる。

【0011】更に、電源電位 VDD が上昇し、N 型 MOS ランジスタ N 6 および N 7 とともに、P 型 MOS ランジスタ P 7, P 8, および P 9 がオンになると、既に N 型 MOS ランジスタ N 5 がオンしているため N 型 MOS ランジスタ N 5 のドレイン電圧が低下し、P 型 MOS ランジスタ P 7 は更に深くバイアスされているので、逆に N 型 MOS ランジスタ N 4 のドレイン電圧は上昇する。

【0012】電源電位 VDD が更に上昇すると、N 型 MOS ランジスタ N 5 に流れる電流よりも N 型 MOS ランジスタ N 4 に流れる電流の方が多くなり、N 型 MOS ランジスタ N 4 のドレイ電圧が低下する。

【0013】この N 型 MOS ランジスタ N 4 のドレイン電圧が P 型 MOS ランジスタ P 8 のしきい値電圧を更に越えると、N 型 MOS ランジスタ N 5 のドレン電圧が急上昇し、ほぼ電源電位 VDD 電圧に等しくなるとともに、P 型 MOS ランジスタ P 7 はオフし、N 型 MOS ランジスタ N 4 のドレインはロウレベルになる。

【0014】このときの N 型 MOS ランジスタ N 5 のドレイン電圧であるハイレベルは、反転增幅部 10 で反転されてロウレベルとなり、出力端子 OUT からパワーオン・リセット信号として出力される。

【0015】

【発明が解決しようとする課題】上述した従来のパワーオン・リセット回路の一例において、検出電圧（以下、VPOC と称す）は次式に示すように VT の和で決まる。

【0016】

ここで、

VTN : N3のしきい値電圧、VTP : P6のしきい値電圧とする。

【0017】よって、しきい値電圧の製造バラツキを±0.2[V]とすると、検出電圧VPOCの常温バラツキは、±0.4[V]となる。また、しきい値電圧の温

$$\begin{aligned} VPOC &= |VTP| + VDS(N4) + VDS(N6) \\ &= |VTP| + VDS(N4) + VTN(N7) - VTN(N5) \end{aligned} \quad \dots \quad (2)$$

ここで、

VTP : P8のしきい値電圧

VTN(N7) : N7のしきい値電圧

VTN(N5) : N5のしきい値電圧

但し、VTN(N7) > VTN(N5)

VDS(N4) : N4のドレイン・ソース間電圧

VDS(N6) : N6のドレイン・ソース間電圧

よって、VDS(N4)を無視したとしてもしきい値電圧の製造バラツキを、±0.2[V]とすると、検出電圧VPOCの常温バラツキは、±0.6[V]となり、検出電圧VPOCの温度特性は約-2[mV/°C]となる。

【0020】さらに、N5のしきい値電圧は、N4、N6のしきい値電圧より低く設定するために、製造工程を一工程増やす必要がある。

【0021】近年、マイクロコンピュータのCPU暴走防止のためにパワーオン・リセット回路を内蔵する場合、検出電圧VPOCの常温バラツキは±0[mV/°C]という要求がでてきている。

【0022】しかしながらこの要求は、上述したような従来のパワーオン・リセット回路では実現不可能である。

【0023】本発明の目的は、製造工程を増やすことなく、しきい値電圧の製造バラツキによる影響を受けることのない、安定した検出電圧を得ることと、検出電圧が温度に依存することのない信頼性の高いパワーオン・リセット回路を提供することにある。

【0024】

【課題を解決するための手段】本発明のパワーオン・リセット回路の特徴は、半導体装置の電源電圧供給開始時および電源電圧降下時にリセット信号を発生して内部回路を初期化するパワーオン・リセット回路において、電源電圧供給開始後から能動状態になるまでの時間を短縮するスタートアップ手段を有するとともに能動状態になると第1の制御電圧を出力しつつこの電圧に応答して所定の基準電圧を生成する基準電圧生成手段と、電源電圧供給開始と同時に前記スタートアップ手段に供給されて前記基準電圧生成手段を強制的に能動状態にする第2制御電圧と前記第1制御電圧に応答して電源電圧を所定の比率で分圧した第1比較電圧とをそれぞれ出力する第1の基準電圧制御手段とを備え、前記基準電圧および前記

度特性を-2mVとすると、検出電圧VPOCの温度特性は、-4[mV/°C]となる。

【0018】上述した従来のパワーオン・リセット回路の他の例の場合は、例えば、電源電位VDDの立ち上がり時の検出電圧VPOCは次式で決る。

【0019】

比較電圧を比較手段により比較しその比較結果を前記リセット信号として出力することにある。

【0025】また、前記第1の基準電圧制御手段に代えて前記第1比較電圧よりも高電圧の第2比較電圧をさらに備えた第2の比較電圧制御手段を備え、前記基準電圧および前記第1比較電圧の比較結果と前記基準電圧の反転電圧および前記第2比較電圧の比較結果との論理和結果を前記リセット信号として出力することができる。

【0026】さらに、電源電圧供給開始と同時に前記リセット信号が能動状態になり、前記第1比較電圧の比較結果で非能動状態になることができる。

【0027】さらにまた、前記第1および前記第2の基準電圧制御手段が、前記第2制御電圧と前記第1および前記第2比較電圧とを生成する手段を共用することができる。

【0028】また、前記基準電圧生成手段は、高位側電源電位と低位側電源電位との間に、第1の第1導電型MOSトランジスタおよび第1の第2導電型MOSトランジスタが直列接続で挿入された第1の直列接続回路と第2の第1導電型MOSトランジスタと第2の第2導電型MOSトランジスタと第1の抵抗素子とが直列接続で挿入された第2の直列接続回路とを有し、前記第1の第1導電型MOSトランジスタのゲートと前記第2の第1導電型MOSトランジスタのゲートとドレインとが互に接続されこの接続点を前記第1制御電圧の出力端とし、前記第1の第2導電型MOSトランジスタのゲートとドレインと前記第2の第2導電型MOSトランジスタのゲートとが互に接続されかつ前記第1制御電圧の出力端がゲートに接続される第3の第1導電型MOSトランジスタと第2の抵抗素子とこの抵抗素子側をアノードとする第1ダイオードとが高位側電源電位および低位側電源電位間に直列接続で挿入されこの直列接続点を前記基準電圧の出力端とともに、前記第1の第1導電型MOSトランジスタと並列に第4の第1導電型MOSトランジスタが接続されそのゲートに前記第2制御電圧の出力端が接続されてなる前記スタートアップ手段を含んで構成される。

【0029】さらに、前記基準電圧生成手段は、前記第1の第2導電型MOSトランジスタおよび前記第1の抵抗素子と低位側電源電位との間に低位側電源電位側をカソードとする第2および第3のダイオードをそれぞれ挿

入して構成される。

【0030】さらにまた、前記第1の基準電圧制御手段は、高位側電源電位と低位側電源電位との間に第5の第1導電型MOSトランジスタと第3および第4の抵抗素子とが直列接続で挿入され前記第5の第1導電型MOSトランジスタのドレインは第1の容量素子を介して低位側電源電位に接続されるとともに前記第2制御電圧の出力端とし、かつ前記第3および第4の抵抗素子の直列接続点を前記第1比較電圧の出力端として構成される。

【0031】また、前記第2の基準電圧制御手段は、高位側電源電位と低位側電源電位との間に第6の第1導電型MOSトランジスタと第5、第6および第7の抵抗素子とが直列接続で挿入され前記第6の第1導電型MOSトランジスタのドレインは第2の容量素子を介して低位側電源電位に接続されるとともに前記第1制御電圧の出力端とし、かつ前記第6および第7の抵抗素子の直列接続点を第1比較電圧の出力端とし、前記第5および第6の抵抗素子の直列接続点を第2比較電圧の出力端としてそれぞれ構成される。

【0032】

【実施例】本発明の実施例を図面を参照しながら説明する。

【0033】図1は本発明の第1の実施例を示す回路図である。図1を参照すると、本実施例のパワーオン・リセット回路は、電源電圧供給開始後から能動状態になるまでの時間を短縮するスタートアップ機能を有し能動状態のときにに出力する第1制御電圧およびこの電圧に応答して基準電圧を生成する基準電圧生成部1aと、電源電圧供給開始と同時に基準電圧生成部1aのスタートアップ機能を強制的に能動状態にさせる第2制御電圧と第1制御電圧とに応答して電源電圧を所定の比率で分圧した比較電圧とをそれぞれ出力する基準電圧制御部2aと、比較電圧および基準電圧を比較し比較電圧が基準電圧よりも低いときにその比較結果を検出電圧（リセット信号）として出力するコンパレータ3とを備える。

【0034】基準電圧生成部1aは、電源電位VDDと接地電位GNDとの間に、P型MOSトランジスタP1およびN型MOSトランジスタN1が直列接続で挿入さ

$$V_{ref} = N \cdot (k \cdot T/q) \cdot I_n M + V_F \quad (D1) \dots \dots \dots \quad (3)$$

ここで、

$$N : (R_2 \text{の抵抗値}) / (R_1 \text{の抵抗値})$$

q : 電子の電荷量, k : ボルツマン定数, T : 絶対温度

$$(\Delta/\Delta T) \cdot (V_{ref}(D1)) = N \cdot (k/q) \cdot I_n M$$

$$+ (\Delta/\Delta T) \cdot (V_F(D1)) \dots \dots \dots \quad (4)$$

ここで

$$(\Delta/\Delta T) \cdot (V_F(D1)) ; D1 \text{の温度係数で約} -2 \text{mV}$$

上式より、係数NおよびMを適切に選ぶことにより任意の値に設定でき、温度保証された基準電圧Vrefが得られる。

れた直列接続回路と、P型MOSトランジスタP2とN型MOSトランジスタN2と抵抗素子R1とが直列接続で挿入された直列接続回路とを有する。

【0035】P型MOSトランジスタP1およびP2のゲートとドレインとが互に接続されこの接続点CTの電圧VCT（以下、第1制御電圧VCTと称す）の出力端とし、N型MOSトランジスタN1のゲートとドレインとN型MOSトランジスタN2のゲートとが互に接続される。

【0036】第1制御電圧VCTの出力端がP型MOSトランジスタP3ゲートに接続され、このP型MOSトランジスタP3と抵抗素子R2との抵抗素子側をアノードとするダイオードD1とが電源電位VDDおよび接地電位GND間に直列接続で挿入されこの直列接続点refの電圧Vref（以下、基準電圧Vrefと称す）の出力端とする。

【0037】さらにP型MOSトランジスタP1と並列にP型MOSトランジスタP4が接続されそのゲートに次に述べる基準電圧制御部2aの第2制御電圧VSTの出力端が接続されてスタートアップ機能を構成している。

【0038】また、基準電圧制御部2aは、電源電位VDDと接地電位GNDとの間にP型MOSトランジスタP5と抵抗素子R3およびR4とが直列接続で挿入され、P型MOSトランジスタP5のドレインは容量素子C1を介して接地電位GNDに接続されるとともに、このP型MOSトランジスタP5と容量素子C1の接続点STの電圧VST（以下、第2制御電圧VSTと称す）の出力端とし、かつ抵抗素子R3およびR4の直列接続点Aを比較電圧Vaの出力端として構成される。

【0039】上述した構成による基準電圧生成部1aにおいて、例えば、P型MOSトランジスタP1、P2およびP3のゲート長およびゲート幅をそれぞれ同一サイズにし、かつN型MOSトランジスタN1に対しN2のゲート長を同一サイズとしゲート幅をM倍と設定すれば、基準電圧Vrefは次式で表せる。

【0040】

$$V_F(D1) ; D1 \text{の順方向電圧}$$

また、基準電圧Vrefの温度特性は次式で表せる。

【0041】

$$+ (\Delta/\Delta T) \cdot (V_F(D1)) \dots \dots \dots \quad (4)$$

【0042】次に、基準電圧制御部2aの動作を説明する。先ず、スタート・アップ機能を制御する第2制御電圧VST生成の動作を説明する。

【0043】電源投入時、各MOSトランジスタのゲート容量を主とする寄生容量によって、N1のドレインは接地電位から、P2のドレインは電源電位からそれぞれ

動作開始するために、一定電圧 V_{ref} が出力するまでは時間がかかることになり、基準電圧生成部 1a としてはこのままでは使えない。

【0044】そこで、電源投入時 P4 のゲートを容量素子 C1 を介して接地することにより、P4 をオンさせて第2制御電圧 VST をロウレベルにして P4 をオンさせ、強制的に基準電圧生成部 1a を動作させる。その後、P2 とミラーを構成する P5 にドレイン電流を流し、容量素子 C1 を充電することによって第2制御電圧 VST をハイレベルとし、基準電圧生成部 1a の P4 をオフさせてスタート・アップ機能を停止させる。

$$V_a = VDD \cdot (R4 / (R3 + R4)) \dots \quad (5)$$

次に、本実施例の動作を説明するための電圧／時間特性を示した図2を参照すると、時間 t_0 で電源が投入されると、先ず、基準電圧制御部 2a で生成されるスタートアップの第1制御電圧 VST がロウレベルとなって基準電圧生成部 1a の P型MOSトランジスタ P4 がオンし、時間 t_1 で第1制御電圧 VST がハイレベルとなって P型MOSトランジスタ P4 はオフする。

【0048】時間 t_1 以降は、抵抗素子 R3 および R4 による分圧回路として動作し、式(5)に従って電源電位 VDD を抵抗分圧した比較電圧 V_a を出力する。

【0049】基準電圧生成部 1a は、時間 t_1 以降は基準電圧 V_{ref} を生成する能動状態となり、電圧 V_{ref} を出力し始める。この電圧 V_{ref} が分圧電圧 V_a を越える時間 t_2 においてコンパレータ 3 が上昇中の電源電位 VDD レベルに対応したハイレベルを出力端子 OUT へ出力する。

$$\begin{aligned} V_{POC} &= V_{ref} \cdot (1 + R3/R4) \\ &= [N \cdot (k \cdot T/q) \cdot InM + VF(D1)] \\ &\quad \times (1 + R3/R4) \dots \quad (6) \end{aligned}$$

となり、また、温度特性は式(4)および(6)より、

$$\begin{aligned} (\Delta/\Delta T) \cdot (V_{POC}) &= [N \cdot (k/q) \cdot InM \\ &\quad + (\Delta/\Delta T) \cdot (VF(D1) \cdot (1 + R3/R4)) \dots \quad (7) \end{aligned}$$

となるが、常温でのバラツキは、上式(6)から分かるように、 V_{ref} の $(1 + R3/R4)$ 倍で、分圧抵抗比と N型MOSトランジスタ N1 に対する N2 のゲート幅比 M とダイオード D1 の準方向電圧 VF(D1) とで決まる。

【0053】本実施例の基準電圧生成部 1a の実験結果の特性を示す図3を参照すると、基準電圧生成部 1a の P型MOSトランジスタ P1, P2, P3, N型MOSトランジスタ N1, N2 の各々のゲート面積の合計 S (以下、ゲート面積 S と称す) を横軸に、基準電圧 V_{ref} の常温でのバラツキ $3\sigma_{n-1}$ (以下、 $3\sigma_{n-1}$ と称す) を縦軸にそれぞれプロットした実験結果 ($1\mu m$ ルーム CMOS プロセス) を示す。

【0045】次に比較電圧 V_a 生成の動作は、電源投入時の P5 のドレイン電圧は、接地電位 GND にあるが、このロウレベルによって基準電圧生成部 1a はスタートアップの P型MOSトランジスタ P4 がオンして動作状態になり、この基準電圧生成部 1a から出力される第1制御電圧 VCT のロウレベルによって P5 がオンし、P5 のドレイン電圧はほぼ電源電圧 VDD に等しくなる。

【0046】従って、抵抗素子 R3 と R4 の直列接続点 A の電位 V_a は、次式のように決まり動作する。

【0047】

$$V_a = VDD \cdot (R4 / (R3 + R4)) \dots \quad (5)$$

【0050】基準電圧 V_{ref} が一定電圧を出力するためには必要な電源電位 VDD に達する時間 t_3 以降では、式(3)で決まる基準電圧 V_{ref} を出力する。

【0051】更に、時間の経過とともに電源電位 VDD が上昇を続け、時間 t_4 で電圧 V_a が基準電圧 V_{ref} を追い越す電源電位 VDD (=VPOC) となり、コンパレータ 3 の出力は反転してロウレベルとなり、出力端子 OUT からロウレベルをパワーオン・リセット信号として出力する。その後時間 t_5 以降は電源電位 VDD が一定となる次に、本実施例によるパワーオン・リセット回路の電圧 VPOC のバラツキと温度特性についての具体例を示す。

【0052】先ず、本実施例のパワーオン・リセット回路の電圧 VPOC の理論式は、式(3)および(5)より、

す) を縦軸にそれぞれプロットした実験結果 ($1\mu m$ ルーム CMOS プロセス) を示す。

【0054】この時、P型MOSトランジスタ P1, P2, P3 の各々のゲート長およびゲート幅を同一サイズとし、更に、N型MOSトランジスタ N1 に対し N2 のゲート長を同一サイズとし、ゲート長を 6 倍とした。3 σ_{n-1} は、ゲート面積 S に比例して小さくなる。具体的な例として、

$A = 0.1 mm^2$ (実寸) で $3\sigma_{n-1} = 15 mV$ という実験結果が得られている。

【0055】VPOC が、温度に依存しないように、

に、 $(1 + R3/R4) = 1.2$ とすると、VPOC の常温でのバラツキは、 $3\sigma_{n-1} \cdot (1 + R3/R4) = 15 \times 1.2 = 18 mV$ となる。

【0057】以上のことから、製造工程を増やすことな

【0056】ここで、VPOC = 1.5V となるよう

く、かつしきい値電圧の製造バラツキにもよらず、検出電圧のバラツキが小さい、検出電圧が温度に依存することのない高精度なパワーオン・リセット回路が実現できる。

【0058】本発明の第2の実施例を回路図で示した図4を参照すると、第1の実施例との相違点は、図1に示した基準電圧生成部1aの、N型MOSトランジスタN1および接地電位GND間にダイオードD3を、抵抗素子R1および接地電位GND間にダイオードD2をそれぞれ附加したことである。それ以外の構成要素は同一であり、同一の構成要素には同一の符号を付して説明は省略する。

【0059】本実施例の基準電圧生成部1bにおいても、前述した式(3)、(4)、(5)、(6)、そして(7)の関係は成立する。但し、N型MOSトランジスタN1およびN2を同一サイズとし、その代りにMに応対する値としては、ダイオードD3とダイオードD2との接合面積比で得られるようにして、同様な結果が得られるようにした。

【0060】また、図3に示したように、 $3\sigma_{n-1}$ は第1の実施例と比べて同一ゲート面積で1/1.5倍と小さくなる実験結果が得られている。したがって、本実施例においても検出電圧の常温でのバラツキを小さくできる。

【0061】本発明の第3の実施例の回路図を示した図5を参照すると、第2の実施例との相違点は、基準電圧制御部2aに代えて比較電圧Vaよりも高電圧のもう1つの比較電圧をさらに備えるように抵抗素子R3を抵抗素子R5と抵抗素子R6に分割（以下、その直列接続点Bの電圧を比較電圧Vbと称す）した基準電圧制御部1bを有し、基準電圧Vrefおよび比較電圧Vaをコンパレータ3で比較した結果と、基準電圧Vrefの反転電圧（P型MOSトランジスタP1のドレインの接続点Cの電圧。以下、基準電圧Vcと称す）および比較電圧Vbをコンパレータ4で比較した結果とをORゲート5で論理和した結果をリセット信号として出力することである。それ以外の構成要素は同一であり、同一の構成要素には同一の符号を付して説明は省略する。

【0062】上述した図5に併せて本実施例の動作説明用の電圧／時間特性を示した図6を参照すると、時間t0で電源を投入し、電源電位VDDが上昇し始めると、比較電圧Vaと基準電圧Vrefをコンパレータ3で比較するところまでの動作は第2の実施例と同様であるからここでの説明は省略する。

【0063】一方、基準電圧Vcは、電源電位VDDが上昇して時間t3でダイオードD3とN型MOSトランジスタN1共にオンするのに必要な電源電圧VDDまでは、P型MOSトランジスタP4もしくはP1のどちらかがオンしているので電源電圧VDDの上昇に追従していく。

【0064】時間t3以降は、電源電位VDDに依らず、ダイオードD3の順方向電圧とN型MOSトランジスタN1のドレイン・ソース間電圧とで決まる電圧で一定となる。

【0065】さらに、時間が経過して、電圧Vbが電圧Vcを越える時間t4で、コンパレータ4の出力はその時点での電源電位VDDからロウレベルに変化する。このコンパレータ4がハイレベルとなる時間t0からt4の期間とコンパレータ3がハイレベルとなるt2からt4'までの期間の出力の論理和をORゲート5でとることによって、パワーオン・リセット信号として出力端子OUTへ出力する。

【0066】この時、パワーオン・リセット信号VPOCがコンパレータ3の出力、すなわち時間t4'で決定されるので式(6)および(7)は成立する。つまり、本実施例はパワーオン・リセット回路として、リセット信号を電源電圧VDD=0Vから保証した例である。

【0067】上述した第3の実施例における基準電圧制御部2bを第1および第2の実施例の基準電圧制御部2aに代えて適用し、コンパレータ4およびORゲート5を付加することによって第3の実施例と同様な効果を得ることもできる。

【0068】なお、上述した各実施例の説明からも分るように、本発明は基準電圧生成部1aおよび1bにスタートアップ機能を有し、基準電圧制御部2aおよび2bはスタートアップの制御電圧と比較電圧（抵抗分圧の電圧）との生成回路を共用する。

【0069】

【発明の効果】以上説明したように本発明は、電源電圧供給開始後から能動状態になるまでの時間を短縮するスタートアップ手段と、能動状態のときに出力する第1制御電圧およびこの電圧に応答して所定の比較電圧を生成する基準電圧生成手段と、電源電圧供給開始と同時に基準電圧生成手段を強制的に能動状態にさせるようスタートアップ手段に供給する第2制御電圧と第1制御電圧に応答して電源電圧を所定の比率で分圧した第1基準電圧とをそれぞれ出力する基準電圧制御手段とを有し、比較電圧および基準電圧の比較結果から電源投入時および電源降下時のリセット信号を得るようにしたので、従来必要であったしきい値電圧を低く設定するための製造工程を増やすことなく、かつ電界効果トランジスタのしきい値電圧の製造バラツキの影響を受けないので検出電圧のバラツキを小さくでき、さらに、検出電圧が温度に依存することのない、したがって信頼性の高いパワーオン・リセット回路を半導体装置に内蔵できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】図1の実施例の動作説明用の電圧／時間特性を示す図である。

【図3】図1、2の実施例における基準電圧生成部の実験結果を示す基準電圧 V_{ref} バラツキ特性の図である。

【図4】本発明の第2の実施例を示す回路図である。

【図5】本発明の第3の実施例を示す回路図である。

【図6】図5の実施例の動作説明用の電圧／時間特性を示す図である。

【図7】従来のパワーオン・クリア回路の一例の回路図である。

【図8】図7の回路動作説明用の電圧／時間特性を示す図である。

【図9】従来のパワーオン・クリア回路の他の例の回路図である。

【符号の説明】

1 a, 1 b 基準電圧生成部

2 a, 2 b 基準電圧制御部

3, 4 コンパレータ

5 ORゲート

6 インバータ

7 比較電圧生成部

8 電圧検出部

9 基準電圧生成部

10 反転増幅部

P1～P10 P型MOSトランジスタ

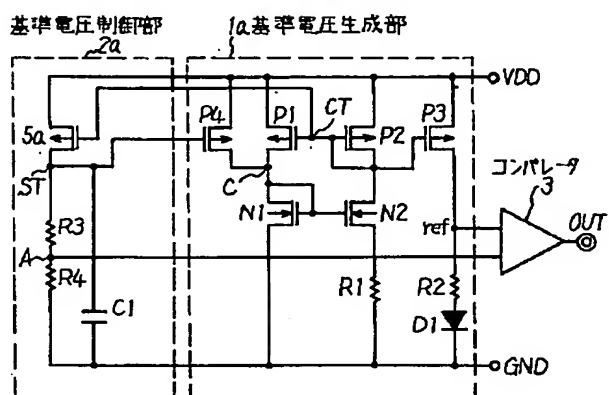
N1～N7 N型MOSトランジスタ

D1～D3 ダイオード

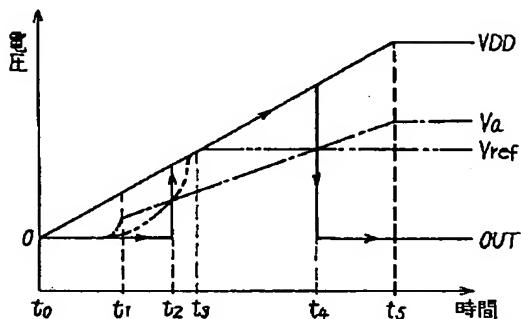
R1～R10 抵抗素子

C1～C5 容量素子

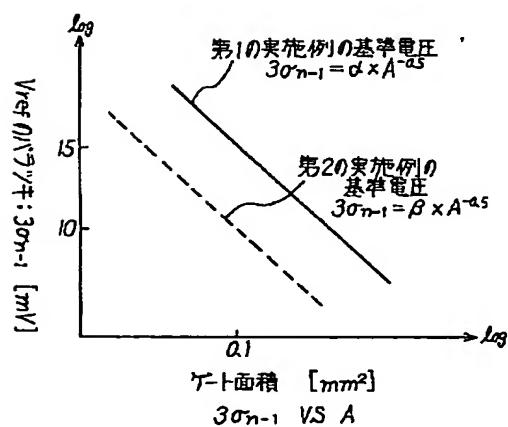
【図1】



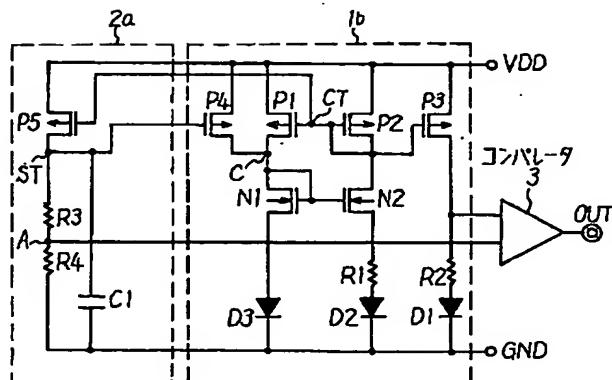
【図2】



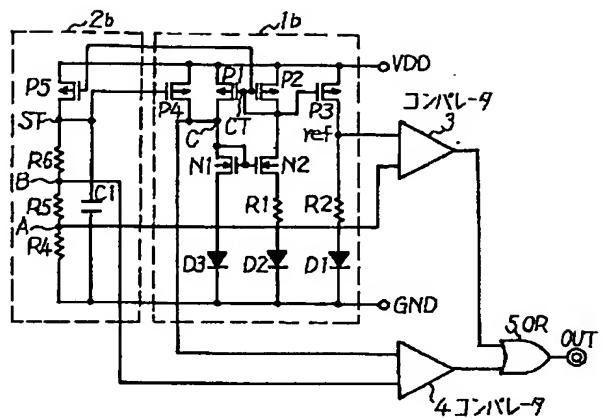
【図3】



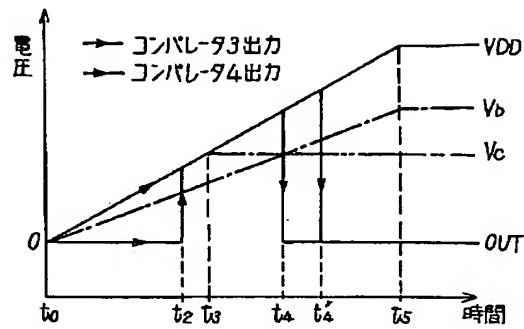
【図4】



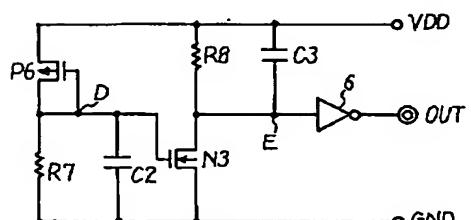
【図5】



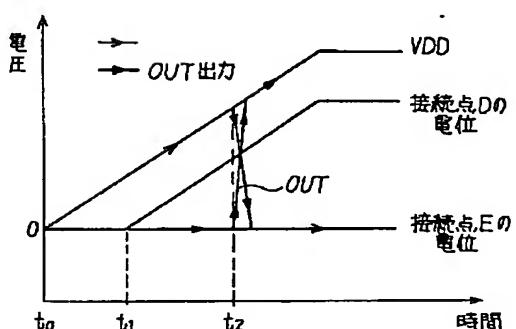
【図6】



【図7】



【図8】



【図9】

